



VF-X70K676图像开发板 V2.0

深圳市奥唯思科技有限公司



CONTENTS

目录

01

SZOVS 公司介绍

02

Xilinx FPGA开发板介绍

03

XC7K70T FPGA芯片介绍

04

VF-X70K676 开发板介绍

05

VF-X70K676 Demo介绍

06

更多产品图片

01

PART



SZOVVS 公司介绍



<https://www.szovs.com>

深圳市奥唯思科技有限公司

SHENZHEN OVS TECHNOLOGY CO.,LTD.

深圳市深圳奥唯思科技有限公司，简称奥唯思（SZOVS），成立于2021年，坐落于深圳南山。公司核心团队有着数十年的**FPGA图像开发**经验，以及**多媒体ASIC**芯片设计积累。

公司专注于**FPGA图像处理**平台推广、**全国产ISP**相机研制、**FPGA电子内窥镜系统**开发等，致力于为客户提供快速可量产、高性价比的FPGA图像加速解决方案。

always



奥唯思

Verilog HDL关键字



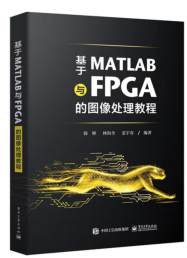
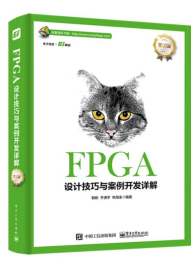
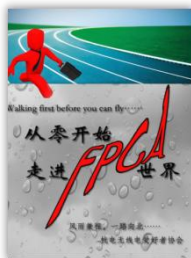
奥唯思，为FPGA图像而生.....



我是作者：FPGA界·韩老师

CrazyBingo®

Coming Soon...



2008年

2012年

2015年

2022年

2024年

2025年

杭州电子科技大学 (本科)

西安电子科技大学 (硕士)

中兴微电子技术有限公司 (ZXIC)

深圳市奥唯思科技有限公司 (SZOVS)

18年来，从FPGA到图像处理，从逻辑设计到时序约束

- ◆ 入行FPGA 18年，玩转易灵思、高云、Xilinx、Altera、Lattice、紫光、安路、京微雅阁等FPGA
- ◆ 写过近10本FPGA书籍，大部分已经是高校的授课教程，培养FPGA下一代
- ◆ 指导 + 培养过无数FPGA设计、ASIC原型验证工程师
- ◆ 任多个高校 外聘授课教师、企业导师



商标/荣誉等



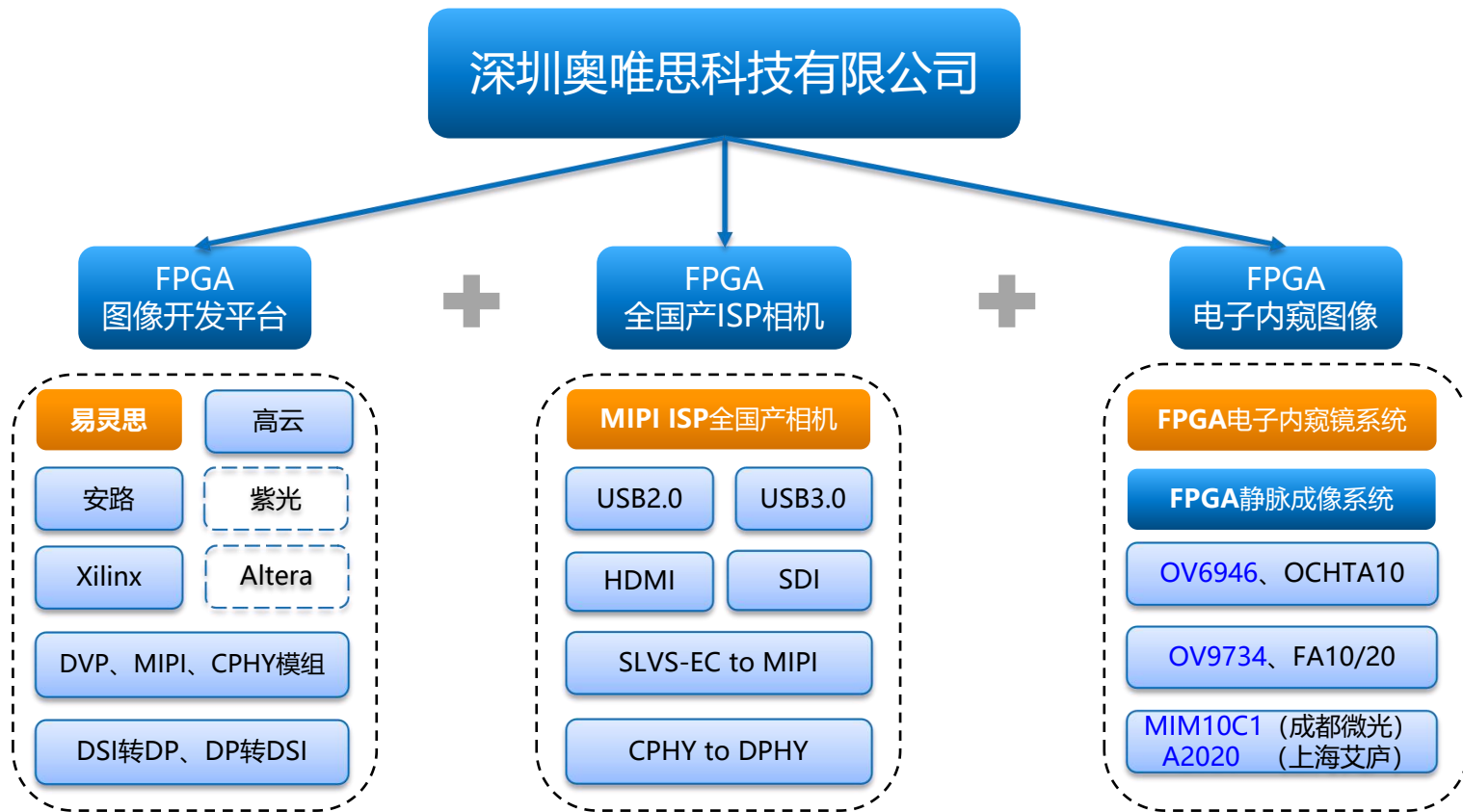
奥唯思专注于FPGA图像加速，致力于成为一流的FPGA图像方案供应商。

凭着FPGA行业十几年的技术积累，奥唯思帮客户快速方案落地，为**易灵思**、**高云**、**安路**、**Lattice**、**图为科技**、**创龙科技**、**思特威**、**成都微光**等知名企业提供FPGA图像解决方案，得到了市场广泛的支持与认可.....



奥唯思，为FPGA图像而生.....

www.szovs.com

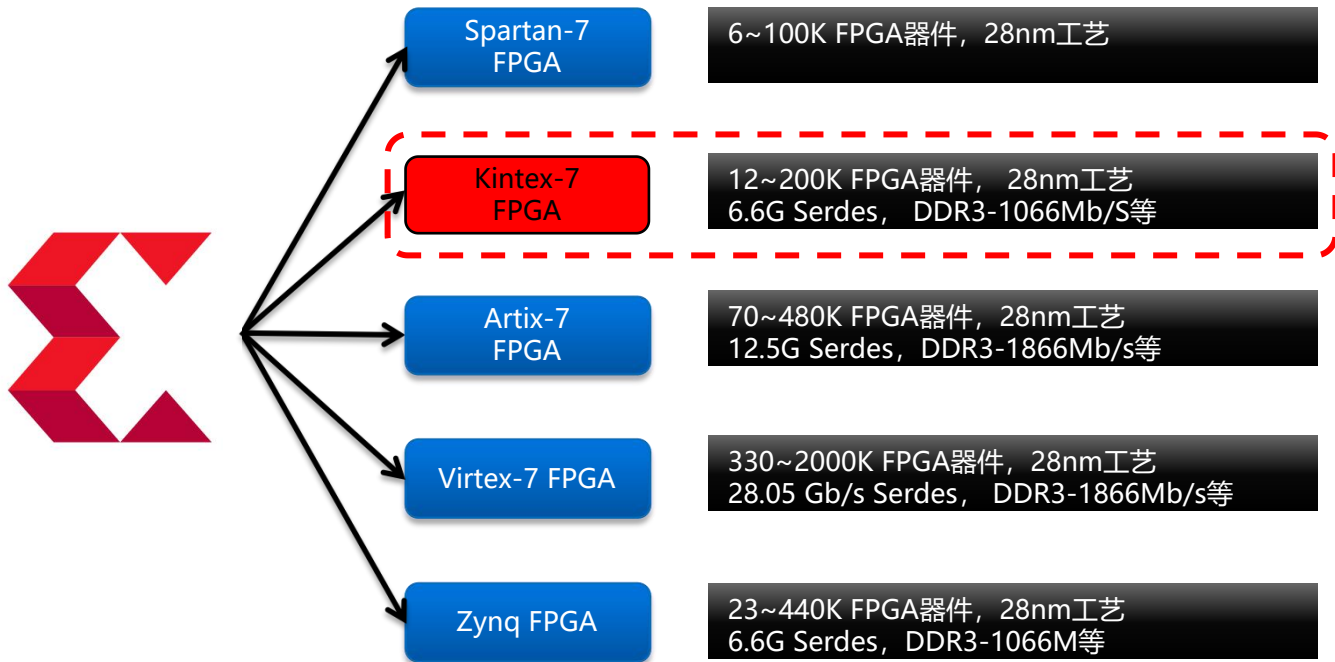


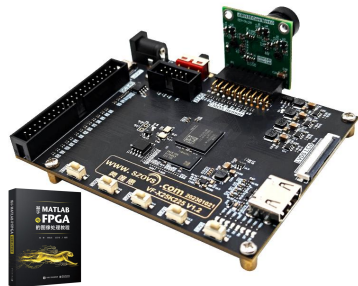
02

PART

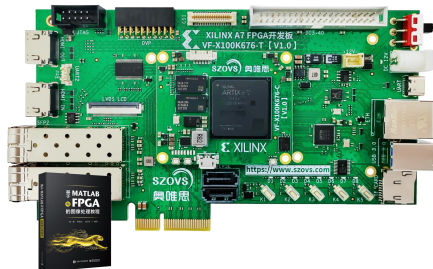


Xilinx FPGA开发板介绍

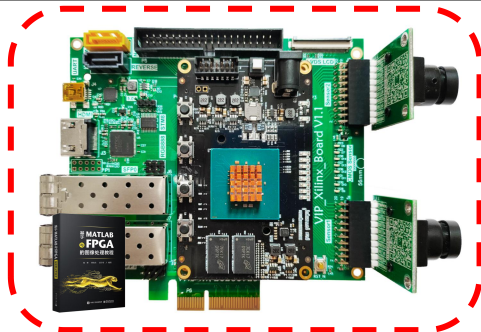




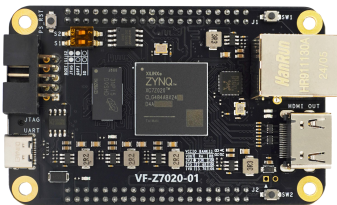
赛灵思S7 FPGA图像开发板



VF-X100K676
赛灵思A7 FPGA图像开发板

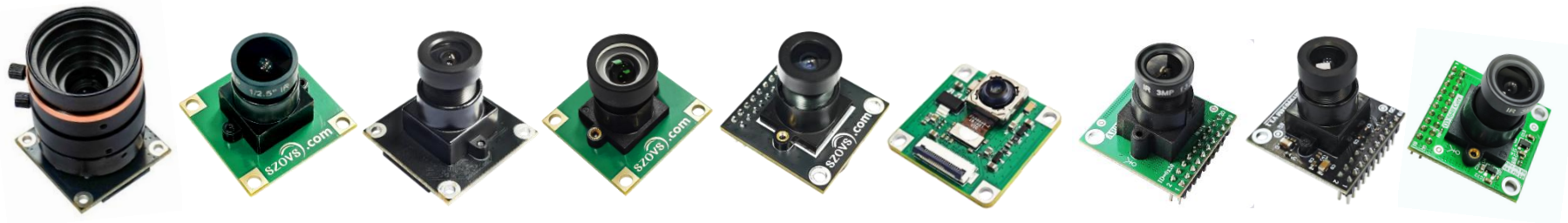


VF-X70K676
赛灵思K7 FPGA图像开发板



VF-Z7020
赛灵思ZYNQ FPGA开发板

型号	系列	资源	存储	DVP 相机	MIPI 相机	图像 接口	通信接口	特性描述
VF-X25K255	Spartan7	25K	DDR3	√		HDMI, LVDS, RGB 子卡	UART USB2.0卡	配套《FPGA图像》1书 入门级25K FPGA开发板
VF-X100K676 VF-X200K676	Artix7	100K 200K	DDR3*2	√	√ 双目	HDMI, LVDS MIPI CSI, RGB子卡	UART PCIE2.0 SFP USB3.0 以太网	配套《FPGA图像》1书 进阶100/200K FPGA开发板
VF-X70K676	Kintex7	70K	DDR3*2	√ 双目		HDMI, LVDS RGB子卡	UART PCIE2.0 SFP	配套《FPGA图像》1书 进阶70K FPGA开发板
VF-ZYNQ7020	ZYNQ	85K	DDR3	√	√	RGB HDMI	UART 以太网	入门ZYNQ图像处理 完整的MIPI解决方案



型号	厂家	色彩	靶面	像素	分辨率	曝光	帧率	接口	镜头	焦距	特性
VS-SC535HGS	思特威	黑白	2/3	3.45um	2440*2048	全局	80	MIPI DPHY	C口	16mm	大靶面、高分、全局
VS-SC233HGS	思特威	黑/彩	1/2.6	3.0um	1920*1080	全局	120	MIPI DHPY	M12	3.6mm	全局、高速、1080P
VS-SC130GS	思特威	黑/彩	1/2.7	4um	1280*1024	全局	240	MIPI DHPY	M12	3.6mm	全局、高速、低照度
VS-SC2210	思特威	彩色	1/1.8	4um	1920*1080	卷帘	60	MIPI DPHY	M12	6mm	大靶面、低照度
VS-SC101IOT	思特威	彩色	1/4.2	2.9um	1280*720	卷帘	30	DVP 8bit	M12	4mm	彩色、集成ISP
VS-IMX586	索尼	彩色	1/2	0.8um	8000*6000	卷帘	30	MIPI CPHY	/	3.95mm	4800万, CPHY相机
VS-AR0135	Aptina	黑白	1/3	3.75um	1280*1024	全局	60	DVP 8bit	M12	3.6mm	全局黑白、车规
VS-MT9V034	Micron	黑白	1/3	6um	752*480	全局	60	DVP 8bit	M12	4mm	全局、850nm敏感
VS-OV5640	豪威	彩色	1/4	1.4um	2592*1944	卷帘	15	DVP 8bit	M12	4mm	彩色, 集成ISP
VS-MT9M001	Micron	彩色	1/2	5.2um	1280*1024	卷帘	30	DVP 8bit	M12	8mm	大靶面、低成本

备注：提供基于Xilinx FPGA的驱动Demo

03

PART



XC7K70T FPGA 芯片介绍



Kintex-7 FPGAs

Optimized for Best Price-Performance
(1.0V, 0.95V, 0.9V)



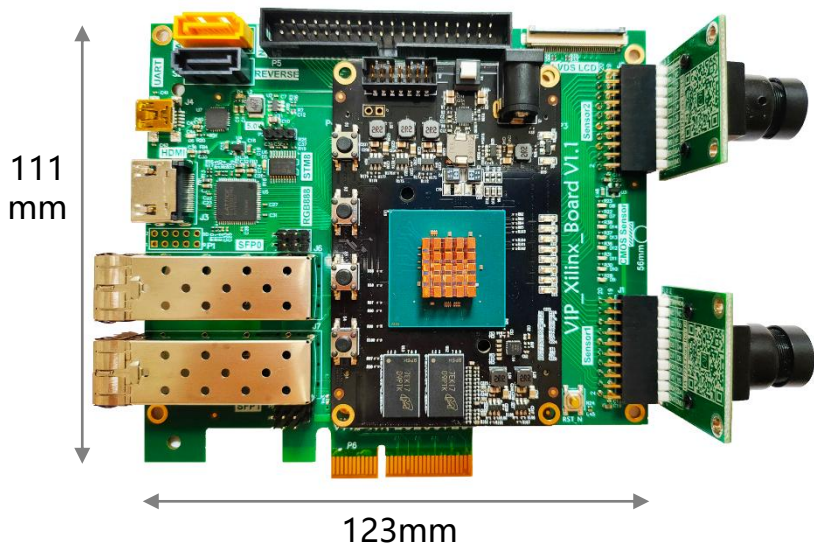
	Part Number	XC7K70T	XC7K160T	XC7K325T	XC7K355T	XC7K410T	XC7K420T	XC7K480T
	EasyPath™ Cost Reduction Solutions ⁽¹⁾	—	—	XCE7K325T	XCE7K355T	XCE7K410T	XCE7K420T	XCE7K480T
Logic Resources	Slices	10,250	25,350	50,950	55,650	63,550	65,150	74,650
	Logic Cells	65,600	162,240	326,080	356,160	406,720	416,960	477,760
	CLB Flip-Flops	82,000	202,800	407,600	445,200	508,400	521,200	597,200
Memory Resources	Maximum Distributed RAM (Kb)	838	2,188	4,000	5,088	5,663	5,938	6,788
	Block RAM/FIFO w/ ECC (36 Kb each)	135	325	445	715	795	835	955
	Total Block RAM (Kb)	4,860	11,700	16,020	25,740	28,620	30,060	34,380
Clock Resources	CMTs (1 MMCM + 1 PLL)	6	8	10	6	10	8	8
I/O Resources	Maximum Single-Ended I/O	300	400	500	300	500	400	400
	Maximum Differential I/O Pairs	144	192	240	144	240	192	192
Integrated IP Resources	DSP48 Slices	240	600	840	1,440	1,540	1,680	1,920
	PCIe® Gen2 ⁽²⁾	1	1	1	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1
	GTX Transceivers (12.5 Gb/s Max Rate)	8	8	16	24	16	32	32
Speed Grades	Commercial Temp (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
	Extended Temp (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrial Temp (I)	-1, -2	-1, -2, -2L	-1, -2, -2L	-1, -2, -2L	-1, -2, -2L	-1, -2, -2L	-1, -2, -2L
		Package ⁽³⁾	Dimensions (mm)	Ball Pitch (mm)	Available User I/O: 3.3V HR I/O, 1.8V HP I/Os (GTX)			
Footprint Compatible	FBG484 ⁽⁴⁾	23 x 23	1.0	185, 100 (4)	185, 100 (4)			
	FBG676 ⁽⁴⁾	27 x 27	1.0	200, 100 (8)	250, 150 (8)	250, 150 (8)	250, 150 (8)	
	FFG676	27 x 27	1.0		250, 150 (8)	250, 150 (8)	250, 150 (8)	
Footprint Compatible	FBG900 ⁽⁴⁾	31 x 31	1.0		350, 150 (16)		350, 150 (16)	
	FFG900	31 x 31	1.0		350, 150 (16)		350, 150 (16)	
	FFG901	31 x 31	1.0			300, 0 (24)	380, 0 (28)	380, 0 (28)
	FFG1156	35 x 35	1.0				400, 0 (32)	400, 0 (32)

04

PART



VF-X70K676 开发板介绍



FPGA的终点：图像处理

参数	描述
供应商	深圳市奥唯思科技有限公司
核心板型号	VF-X70K676
FPGA厂家	Xilinx (赛灵思) Artix-7系列
FPGA型号	XC7K70T-3FBG676E
FPGA资源	70K 逻辑单元, 6.6G Serdes , DDR3 IP, PCIE2.0
开发板尺寸	123mm *111mm (核心板+底板)
开发板供电	DC 12V适配器
DDR3存储	4G 16bit*2颗 DDR3: MT41K128M16JT
板载FLASH	128Mbit SPI FLASH : MX25L12835FM21
基本外设	● 1个DC3-10 JTAG下载口 ● 4个用户按键、8个测试LED ● 2个CP2102 USB串口 ● DC3-40用户接口 (36 IO)
图像外设	● 双目CMOS相机 DVP接口 ● HDMI 1.4 输出接口 (1080P) ● 双6.6G SFP+接口 ● PCIE 2.0接口, SATA正反接口



FPGA开发板 功能介绍



Xilinx Kintex-7 FPGA: XC7K70T-3FBG676E

JTAG下载口

36 IO用户接口

SATA接口(正反)

串口(CP2102)

HDMI1.4输出

4位独立按键

12.5G SFP+
光口 双通道

DDR3(双拼32bit)
4Gb*2@1333M

PCIE 2.0
(5Gbps) 4lane

DC-12V电源

1024*600
LVDS LCD屏幕

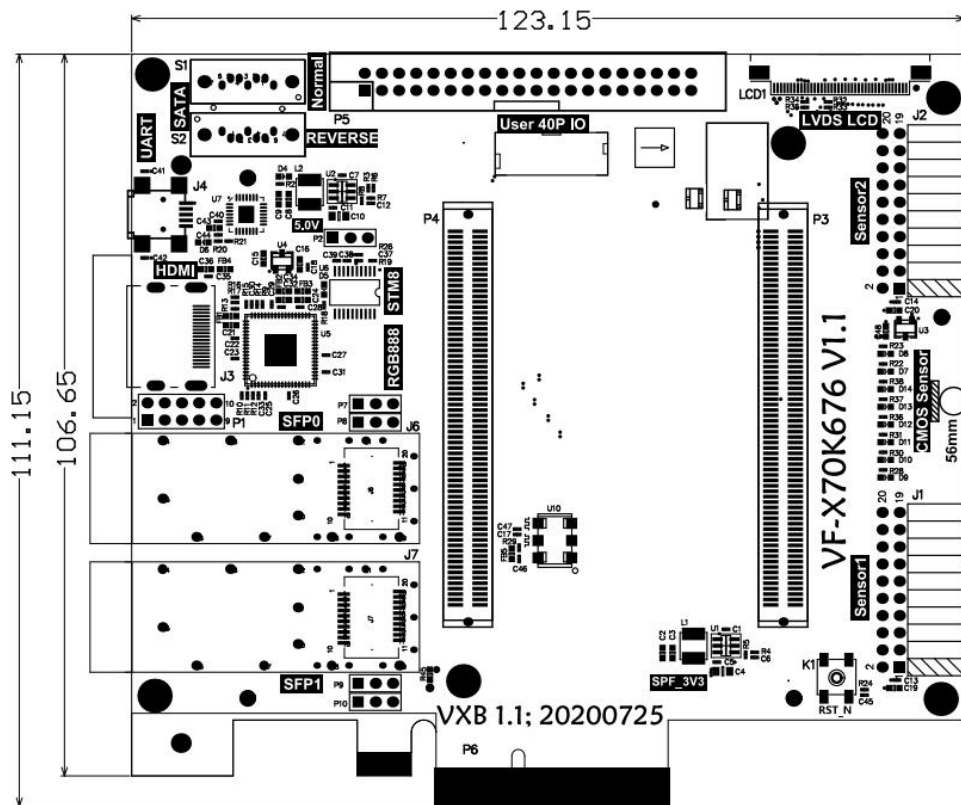
DVP相机接口2

50MHz 有源
125MHz 有源

SPI-FLASH
MX25L128

DVP相机接口1

8bit LED灯



05

PART



FPGA开发板 Demo & 场景介绍



序号	工程名	设计描述
1	01-1_HDMI_Dispatch_Test_640x480	640x480HDMI显示实验
2	01-2_HDMI_Dispatch_Test_800x600	800x600HDMI显示实验
3	01-3_HDMI_Dispatch_Test_1920x1080	1920x1080HDMI显示实验
4	02_LVDS_LCD_Test_1024x600	1024x600LVDS_LCD显示实验
5	03-1_DDR_2Port_HDMI_Test_640x480	640x480图像的2端口DDR读写实验
6	03-2_DDR_2Port_HDMI_Test_1280x720	1280x720图像的2端口DDR读写实验
7	03-3_DDR_2Port_HDMI_Test_1920x1080	1920x1080图像的2端口DDR读写实验
8	03-4_DDR_2Port_LVDS_Test_1024x600	1024x600图像的2端口DDR读写实验
9	04-1_CMOS_Sensor2_OV7725_640x480	基于OV7725的DVP相机采集+HDMI 640*480显示
10	04-2_CMOS_Sensor2_MT9V034_640x480	基于MT9V034的DVP相机采集+HDMI 640*480显示
11	04-3_CMOS_Sensor2_AR0135_1280x720	基于AR0135的DVP相机采集+HDMI 1280*720显示
12	04-4_CMOS_Sensor2_AR0135_LCD_1024x600	基于AR0135的DVP相机采集+LVDS 1024*600显示
13	04-5_CMOS_Sensor1_AR0135_800x480	基于AR0135的DVP相机采集+RGBLCD 800*480显示
14	05-1_DDR_4Port_HDMI_Test_1280x480	1280x480图像的4端口DDR读写实验
15	05-2_DDR_4Port_LVDS_Test_1024x600	1024x600图像的4端口DDR读写实验
16	06_PCIE_XDMA_Test	PCIE测试实验

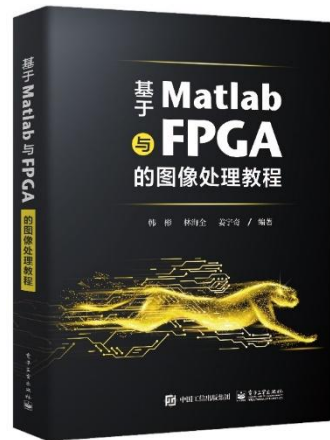


序号	工程名	设计描述
1	3.1_Histogram_EQ	直方图均衡算法FPGA加速
2	3.2_Image_Constrast	对比度增强算法FPGA加速
3	3.3_Gamma_Mapping	Gamma映射算法FPGA加速
4	4.1_Avg_Filter	均值滤波算法FPGA加速
5	4.2_Med_Filter	中值滤波算法FPGA加速
6	4.3_Gaussian_Filter	高斯滤波算法FPGA加速
7	4.4_Bilateral_Filter	双边滤波算法FPGA加速
8	5.3_Region_Binarization	局部阈值二值化算法FPGA加速
9	5.4_Sobel_Edge_Detector	Sobel边缘检测算法FPGA加速
10	5.5_Bin_Erosion_Dilation	腐蚀、膨胀算法FPGA加速
11	5.6_Frame_Difference_Test	基于帧间差的运动追踪算法FPGA加速
12	6.2_Robert_Sharpener	基于Robert算子锐化算法FPGA加速
13	6.3_Sobel_Sharpener	基于Sobel算子锐化算法的FPGA加速
14	6.4_Laplacian_Sharpener	基于Laplacian算子锐化算法的FPGA加速
15	7.1_Nearest_Interpolation	最近邻域插值缩放算法的FPGA加速
16	7.2_Bilinear_Interpolation	双线性插值算法的FPGA加速
17	8.1_Lenet_Test	Lenet5手写数字识别

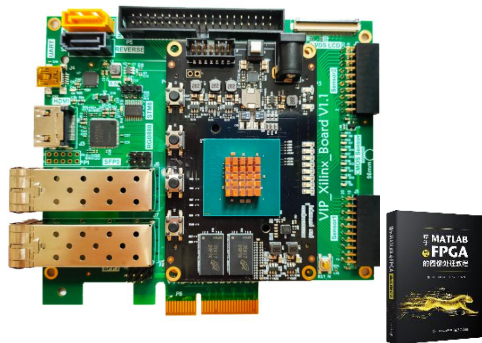


目录

- 第1章 什么是硬件加速引擎
- 第2章 RGB转YCbCr算法介绍及MATLAB与FPGA实现
- 第3章 常用图像增强算法介绍及MATLAB与FPGA实现
- 第4章 常用图像降噪算法介绍及MATLAB与FPGA实现
- 第5章 常用图像二值化算法介绍及MATLAB与FPGA实现
- 第6章 常用图像锐化算法介绍及MATLAB与FPGA实现
- 第7章 常用图像缩放算法介绍及MATLAB与FPGA实现
- 第8章 基于LeNet5的深度学习算法介绍及MATLAB与FPGA实现
- 第9章 传统ISP及AISP的图像处理硬件加速引擎介绍



- 国内**第一本**基于MATLAB/FPGA的图像处理教程
- FPGA**图像算法**硬件加速进阶(中级学者)
- 2024已累积销售**近万本**, 受广泛好评
- 目前已经被多家高校选定, 作为**大学教材**
- Bilibili连载视频教程(基于本FPGA开发板)



VF-X70K676 FPGA开发板



1024*600 LVDS液晶屏

可选



AR0135 720P模组

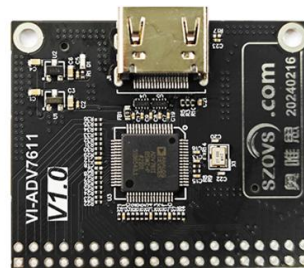


Xilinx FPGA下载器



USB2.0 68013通信子卡

可选



HDMI1.4输入子卡

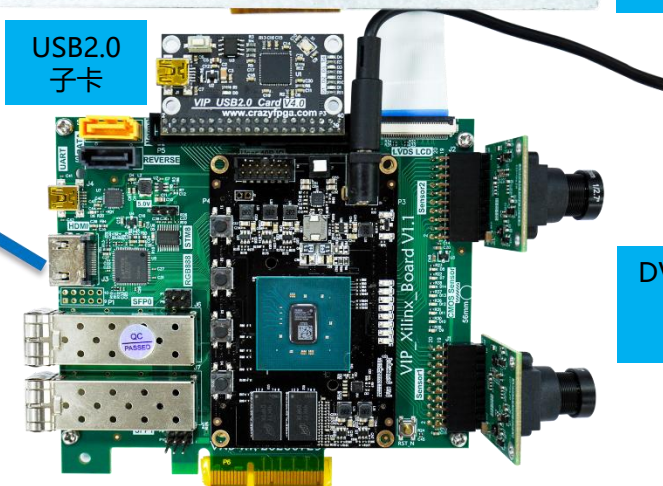
可选



VF-X70K676
Xilinx FPGA 图像开发板



7寸1024*600
LVDS LCD



USB2.0
子卡

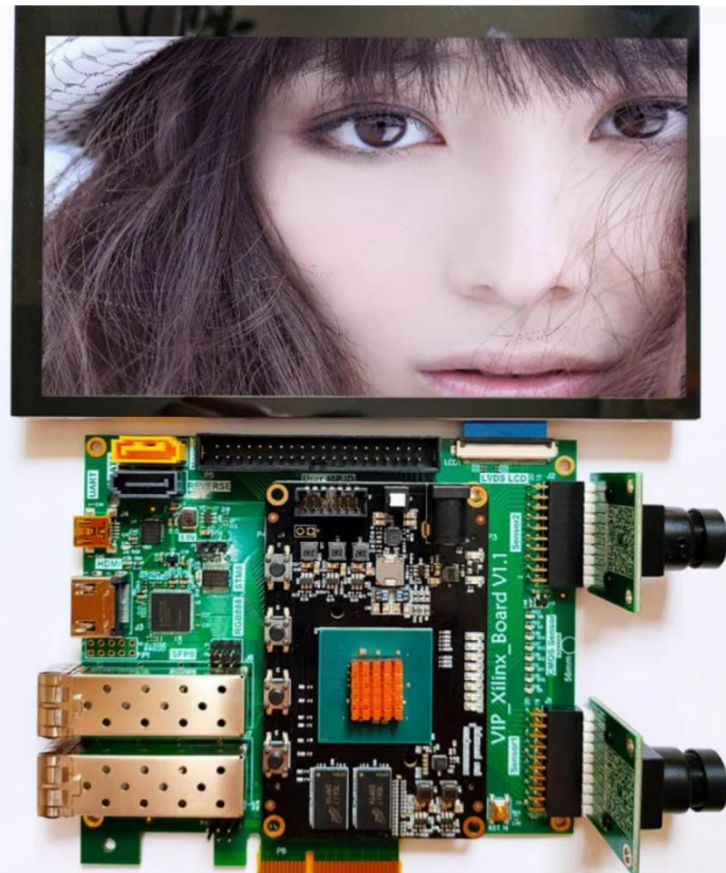
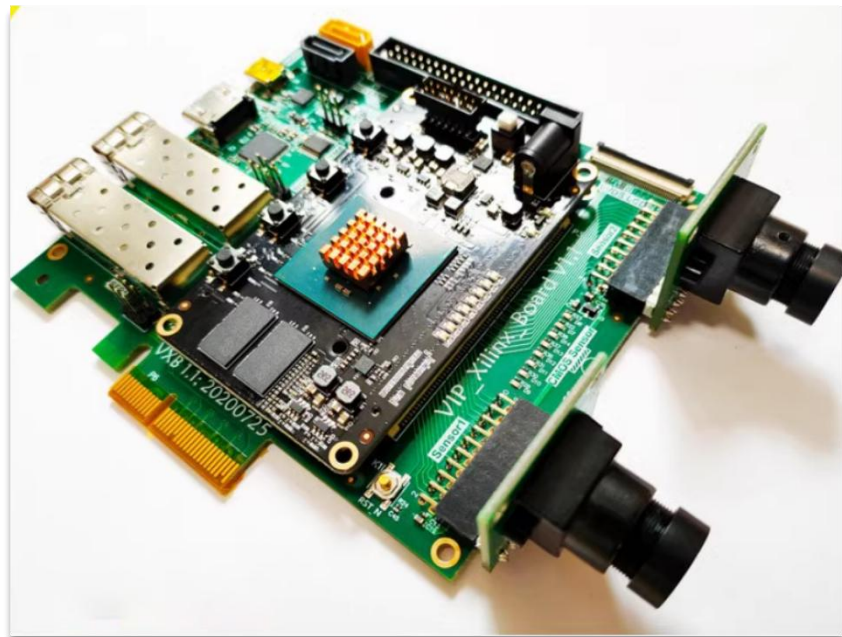
DVP CMOS模组
双目130万
AR0135

06

PART



更多图片



奥唯思，为FPGA图像而生...



THANKS

官方网站: www.szovs.com (资料下载)

官方淘宝: <https://szovs.taobao.com>

“奥唯思FPGA” 店铺

FPGA论坛: www.crazyfpga.com

FPGA交流群: 851598171 (QQ)

✉ cb@szovs.com

📍 深圳市南山区朗山路11号同方科兴科学园E栋501



CrazyFPGA
公众号



深圳奥唯思
官微



企微业务
联系方式